

MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication number: JP58107647

Publication date: 1983-06-27

Inventor: ISHII TAKASHI

Applicant: NIPPON ELECTRIC CO

Classification:

- International: H01L21/301; H01L21/302; H01L21/02; (IPC1-7):
H01L21/78

- european: H01L21/302

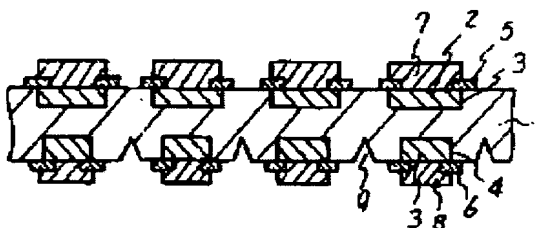
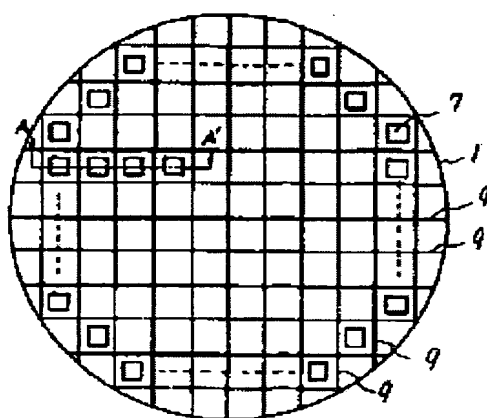
Application number: JP19810206551 19811221

Priority number(s): JP19810206551 19811221

Report a data error here

Abstract of JP58107647

PURPOSE: To decrease breaking and cracks in a pellet and to improve a rate of good products, by providing two stages of dividing processes of the pellet. **CONSTITUTION:** On both surfaces of an N type silicon substrate 1, P type regions 2 and 3 having the same shape are formed in a queue shape so that P type region 2 and 3 face each other. The P type regions 2 and 3 become anodes and an N type substrate 1 becomes a cathode. Thus a voltage standard diode is formed. Insulating films 5 and 6 are provided, and bump shaped electrodes 7 and 8 are formed. Scribe lines 9 are provided at the central part of the interval of the P type regions 3 at the top and back surfaces of the substrate 1. Then a round rod having a sufficiently large diameter (20-50times) with respect to the interval between the scribe lines is pushed to the substrate 1 and rolled, and the substrate 1 is divided into four pellet linked together (within thick lines), wherein one point is shared by the P type regions. Then the four pellets linked together are divided into the individual pellets.



⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開

昭58—107647

⑫ Int. Cl.³
H 01 L 21/78

識別記号

庁内整理番号
7131—5F

⑬ 公開 昭和58年(1983)6月27日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体装置の製造方法

東京都港区芝五丁目33番1号日
本電気株式会社内

⑮ 特 願 昭56—206551

⑯ 出 願 人 日本電気株式会社

⑰ 出 願 昭56(1981)12月21日

東京都港区芝5丁目33番1号

⑱ 発 明 者 石井隆

⑲ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

一導電型半導体基板の両面に同一形状の反対導電型領域を行列状に間隔をおいてかつ表面と裏面の前記間隔の位置が一致するように形成する工程と、前記反対導電型領域にバンプ状電極を形成する工程と、前記半導体基板の表面または裏面のいずれか一方の面の前記間隔にスクライプ線を形成する工程と、前記スクライプ線間隔に対して充分大きい直径の丸棒で以って前記反対導電型領域が1点を共有する4個連結のペレットとなるように前記半導体基板を分割する工程と、前記4個連結のペレットを1個ずつのペレットに分割する工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は半導体装置の製造方法に関し、特に両面にバンプ状電極を有する半導体基板を個々のペレットに分割する方法に関する。

従来、半導体基板に多数の素子を行列状に形成しておき、スクライプ線を入れて個々のペレットに分割することは半導体装置の製造においては普通に行なわれていることである。しかしながら、半導体基板の両面にバンプ状電極を有する電圧標準ダイオードの製造においては、ペレットに分割するときにペレットに好ましくからざるクラックが入り、歩留りを低下させ、電気的特性を劣化させるという問題が生じる。例えば、400mWの電圧標準ダイオードは、厚さ、約0.2mmのN型シリコン基板の両面にP型領域を行列状にかつ両面のP型領域の位置を対応させて多数形成し、P型領域に銀のバンプ状電極を形成し、0.5mm角の大きさにスクライプし、直径5mmの丸棒を押し当てて転がして個々のペレットに分割する。この分割においてペレットに欠けを生じたりあるいはPN接合に

速するクラックが入ったりして歩留りを低下させたり、電気的特性が劣化するものが60%にも達することがあるという欠点があった。

本発明は上記欠点を除去し、半導体基板の両面にパンプ状電極を有する素子が行列状にかつ素子に対応する位置に形成されている半導体基板を個々のペレットに分割する工程を含む半導体装置の製造方法において、良品率を向上させる半導体装置の製造方法を提供するものである。

本発明の半導体装置の製造方法は、一導電型半導体基板の両面に同一形状の反対導電型領域を行列状に間隔をおいてかつ表面と裏面の前記間隔の位置が一致するように形成する工程と、前記反対導電型領域にパンプ状電極を形成する工程と、前記半導体基板の表面または裏面のいずれか一方の面の前記間隔にスクライプ線を形成する工程と、前記スクライプ線間隔に対して充分大きい直径の丸棒で以って前記反対導電型領域が1点を共有する4個連結のペレットとなるように前記半導体基板を分割する工程と、前記4個連結のペレット

に対して20倍乃至50倍程度であることを意味する。例えば、スクライプ線間隔が0.5mm、パンプ状電極の厚さが50μmである場合に10~20mm径の直径の丸棒を用いると良い。このような丸棒を用いると一点共有の4個連結ペレットに分割できる。第1図に太い線9でこれを示す。

次に、スクライプ線間隔の10倍程度の丸棒あるいはピンセットを用いて4個連結ペレットを1個ずつのペレットに分割する。

このように分割工程を二段階にすることによりペレットの欠けやPN接合に達するクラックが大幅に低減する。実験によれば20%以下に低減できる。

以上詳細に説明したように、本発明によれば、両面にパンプ状電極を有する半導体装置を歩留りよく製造できる半導体装置の製造方法が得られるのでその効果は大きい。

4. 図面の簡単な説明

第1図は本発明の一実施例を説明するための平

特開昭58-107647 (2)

面図、第2図は第1図のA-A'断面図である。

第1図は本発明の一実施例を説明するための平面図、第2図は第1図のA-A'断面図である。

第1図は本発明の一実施例を説明するための平面図、第2図は第1図のA-A'断面図である。

厚さ0.2mm程度のN型シリコン基板1の両面にP型領域2, 3を行列状にかつP型領域2と3とに対応する位置に形成する。P型領域2, 3はアノード、半導体基板1がカソードとなり、二つのダイオードが逆方向直列接続された電圧標準ダイオードが形成されたことになる。P型領域2, 3が半導体基板1とで作るPN接合3, 4の端部を覆うように絶縁膜5, 6を形成する。そして銀のパンプ状電極7, 8を形成する。そして行列に配置されたP型領域3の間隔の中心にスクライプ線9を入れる。

次に、スクライプ線間隔に対して充分大きい直径の丸棒を半導体基板1に押し当てて転がし、P型領域3が一点を共する4個連結のペレットに分割する。充分大きい直径とはスクライプ線間隔に

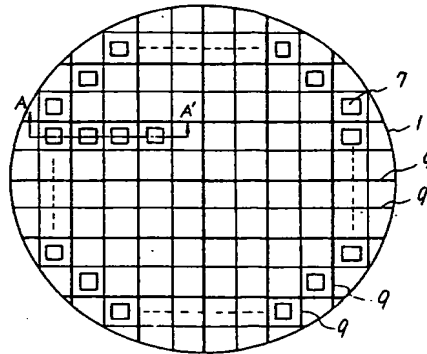
面図、第2図は第1図のA-A'断面図である。

1……N型シリコン基板、2, 3……P型領域、3, 4……PN接合、5, 6……絶縁膜、7, 8……パンプ状電極、9……スクライプ線。

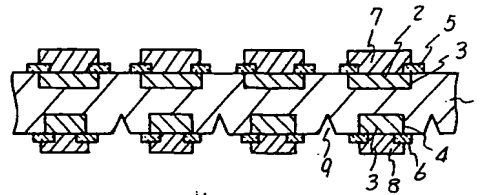
代理人 弁理士 内原 晋



特開昭58-107647 (3)



第 1 図



第 2 図